



SpecInsight

SpecInsight-NEO 入出力端子表(Excel)の例

入出力端子情報							説明	接続情報		FPGA端子情報(XDC/SDC生成用情報)							
インタフェース	名称	方向	幅	極性	出力初期値	種別	出力固定値	Comment	接続先インスタンス	接続先ポート	同期クロック	ピン番号	IOセル	input_delay -max	input_delay -min	output_delay	周期[ns]
システム	ACLK	I	1	-	-	-	-	AXIクロック	i_reg_sif	ACLK	-	D23	LVCMOS18				10
	ARESETn	I	1	N	-	レベル	-	AXIリセット	i_sif_core	ACK							
シリアル入力	SCK	I	1	-	-	-	-	シリアルクロック	i_reg_sif	ARESETn	ACLK	M21	LVCMOS18	0	0		
	SDI	I	1	N	-	レベル	-	シリアル入力データ	i_sif_core	RST_N	-	M20	LVCMOS18				25
	SDO	O	1	N	1'b1	レベル	-	シリアル出力データ	i_sif_core	SDI	SCK	N19	LVCMOS18	9	9		
割込出力	INTO	O	1	P	1'b0	レベル	-	割り込み出力	i_sif_core	SDO	SCK	A25	LVCMOS18			0	
CPU	AWVALID	I	1	P	-	レベル	-	AXIライトアドレス確定	i_reg_sif	INTO	ACLK	A22	LVCMOS18			0	
	AWREADY	O	1	P	1'b0	パルス	-	AXIライトアドレス受信応答	i_reg_sif	AWVALID	ACLK	P19	LVCMOS18	3	3		
	AWADDR	I	32	-	-	レベル	-	AXIライトアドレス	i_reg_sif	AWREADY	ACLK	B26	LVCMOS18			0	
	AWPROT	I	3	-	-	レベル	-	AXIプロテクション	i_reg_sif	AWADDR	ACLK	M19,M22,N17,N18,N21,N22,N23,P16,P18,P21,P23,R16,R17,R18,R20,R21,R22,R23,T17,T18,T19,T20,T22,T23,T24,T25,U16,U17,U19,U20,R26,P26	LVCMOS18	3	3		
	WVALID	I	1	P	-	レベル	-	AXIデータ確定	i_reg_sif	AWPROT	ACLK		LVCMOS18	3	3		
	WREADY	O	1	P	1'b0	パルス	-	AXIライトデータ受信確定	i_reg_sif	WVALID	ACLK	P25	LVCMOS18	3	3		
	WDATA	I	32	-	-	レベル	-	AXIライトデータ	i_reg_sif	WREADY	ACLK	B24	LVCMOS18			0	
	WSTRB	I	4	-	-	レベル	-	AXIバイト制御	i_reg_sif	WDATA	ACLK	A20,B20,C22,C23,C24,D21,E21,E22	LVCMOS18	3	3		
	BVALID	O	1	P	1'b0	レベル	-	AXIライト応答	i_reg_sif	WSTRB	ACLK	C26,D8,D9,D13	LVCMOS18	3	3		
	BREADY	I	1	P	-	パルス	-	AXI応答受領	i_reg_sif	BVALID	ACLK	B25	LVCMOS18			0	
	BRESP	O	2	-	2'h0	レベル	-	AXI応答内容	i_reg_sif	BREADY	ACLK	L24	LVCMOS18	3	3		
	ARVALID	I	1	P	-	レベル	-	AXIリードアドレス確定	i_reg_sif	BRESP	ACLK	A24,D26	LVCMOS18			0	
	ARREADY	O	1	P	1'b0	パルス	-	AXIリードアドレス受信応答	i_reg_sif	ARVALID	ACLK	P20	LVCMOS18	3	3		
	ARADDR	I	32	-	-	レベル	-	AXIリードアドレス	i_reg_sif	ARREADY	ACLK	A23	LVCMOS18			0	
	ARPROT	I	3	-	-	レベル	-	AXIプロテクション	i_reg_sif	ARADDR	ACLK	B21,C21,D24,D25,E23,E25,E26,F22,F23,F24,F25,G21,G22,G24,G25,G26,H21,H22,H23,H24,H26,J21,J23,J24,J25,J26,K22,K23,L22,L23,K25,K26	LVCMOS18	3	3		
RVALID	O	1	P	1'b0	レベル	-	AXIリードデータ確定	i_reg_sif	ARPROT	ACLK		LVCMOS18	3	3			
RREADY	I	1	P	-	パルス	-	AXIリードデータ受信応答	i_reg_sif	RVALID	ACLK	B22	LVCMOS18			0		
RDATA	O	32	-	32'h0	レベル	-	AXIリードデータ	i_reg_sif	RREADY	ACLK	M24	LVCMOS18	3	3			
RRESP	O	2	-	2'h0	レベル	-	AXIリード応答内容	i_reg_sif	RDATA	ACLK	D18,D19,D20,E15,E16,E17,E18,E20,F17,F18,F19,F20,G17,G19,G20,H17,H18,H19,J16,J18,J19,J20,K16,K17,K18,K20,L17,L18,L19,L20,M16,M17	LVCMOS18			0		
									i_reg_sif	RRESP	ACLK	M26,R25	LVCMOS18			0	

SpecInsight-NEO HDL出力例

```
module SIF (  
  input          SCK          ,          // シリアルクロック  
  input          SDI          ,          // シリアル入力データ  
  output         SDO          ,          // シリアル出力データ  
  input          ACLK         ,          // AXIクロック  
  input          ARESETn     ,          // AXIリセット  
  output         INTO         ,          // 割り込み出力  
  input          AWVALID     ,          // ライトアドレス確定  
  output         AWREADY     ,          // ライトアドレス受信応答  
  input          [31 : 0]    AWADDR     ,          // ライトアドレス  
  input          [2 : 0]    AWPROT     ,          // プロテクション (未使用=000)  
  input          WVALID     ,          // データ確定  
  output         WREADY     ,          // ライトデータ受信確定  
  input          [31 : 0]    WDATA     ,          // ライトデータ  
  input          [3 : 0]    WSTRB     ,          // バイト制御  
  output         BVALID     ,          // ライト応答  
  input          BREADY     ,          // 応答受領  
  output         [1 : 0]    BRESP     ,          // 応答内容  
  input          ARVALID     ,          // リードアドレス確定  
  output         ARREADY     ,          // リードアドレス受信応答  
  input          [31 : 0]    ARADDR     ,          // リードアドレス  
  input          [2 : 0]    ARPROT     ,          // プロテクション (未使用=000)  
  output         RVALID     ,          // リードデータ確定  
  input          RREADY     ,          // リードデータ受信応答  
  output         [31 : 0]    RDATA     ,          // リードデータ  
  output         [1 : 0]    RRESP     ,          // リード応答内容  
);
```

端子表に記入したコメントもHDLに出力できます

```
sif_core i_sif_core(  
  .ACK          (ACLK),  
  .RST_N        (ARESETn),  
  .SCK          (SCK),  
  .SDI          (SDI),  
  .SDO          (w_i_sif_core_SDO),  
  .MADR         (w_i_sif_core_MADR),  
  .MDI         (w_i_sif_core_MDI),  
  .MDO         (w_i_mem_spo),  
  .WE_N        (w_i_sif_core_WE_N),  
  .SYNCPAT     (w_i_reg_sif_sif_synpat_synpat_OD),  
  .AXI_RADR    (w_i_sif_core_AXI_RADR),  
  .AXI_REN     (w_i_reg_sif_sif_rsif_data_rsif_data_ORE),  
  .AXI_RDAT    (w_i_sif_core_AXI_RDAT),  
  .AXI_MADR    (w_i_reg_sif_sif_mem_adr_m_adr_OD),  
  .AXI_MADR_EN (w_i_reg_sif_sif_mem_adr_m_adr_OVLD),  
  .AXI_WDAT    (w_i_reg_sif_sif_wsif_data_wsif_data_OD),  
  .AXI_WDAT_EN (w_i_reg_sif_sif_wsif_data_wsif_data_OVLD),  
  .BUSY       (w_i_sif_core_BUSY),  
  .REC_END_ST (w_i_sif_core_REC_END_ST),  
  .REC_END    (w_i_reg_sif_sif_sif_st_rec_end_OD),  
  .SEND_END_ST (w_i_sif_core_SEND_END_ST),  
  .SEND_END   (w_i_reg_sif_sif_sif_st_send_end_OD),  
  .REC_END_MSK (w_i_reg_sif_sif_int_msk_rec_end_msk_OD),  
  .SEND_END_MSK (w_i_reg_sif_sif_int_msk_send_end_msk_OD),  
  .SIF_EN     (w_i_reg_sif_sif_sif_ctl_sif_en_OD),  
  .SIF_EN_CLR (w_i_sif_core_SIF_EN_CLR),  
  .INTO       (w_i_sif_core_INTO)  
);  
  
dist_mem_gen_0 i_mem(  
  .a (w_i_sif_core_MADR),  
  .d (w_i_sif_core_MDI),  
  .clk (ACLK),  
  .we (w_i_sif_core_WE_N),  
  .spo (w_i_mem_spo)  
);  
  
endmodule
```