

# FPGA非同期設計セミナー

## FPGAの非同期設計にお困りの方必見！

### Agenda

1. はじめに～FPGAの非同期設計の課題
2. 非同期設計の問題点
  - 2.1 非同期回路の定義
  - 2.2 メタ・ステーブルの問題
  - 2.3 リコンバージェンスによる問題
  - 2.4 データの取りこぼし問題
3. 非同期回路の設計
  - 3.1 設計の着眼点
  - 3.2 同期化回路の挿入
  - 3.3 同期化回路IP化
4. 非同期回路の検証
  - 4.1 検証の着眼点
  - 4.2 構造的チェック
  - 4.3 機能的チェック
  - 4.4 フォーマル検証ツール使用例
5. 非同期設計・検証の文書化
  - 5.1 文書化の着眼点
  - 5.2 機能仕様書
  - 5.3 検証仕様書
6. まとめ



FPGAの高機能化に伴い、多くの設計で複数のクロックメインが必要になっています。非同期の問題は実機検証での検出が困難なため、設計段階でのケアが重要です。本セミナーでは、この非同期回路の問題点をあらためて認識するとともに、問題を回避するための設計方法と注意点、検証のテクニックを解説いたします。

### ◆このような方にお勧めします

- ・非同期設計の注意点、設計方法、検証手法を学びたい方
- ・非同期問題に悩んでいる方、実機検証でのデバッグに限界を感じている方



参加者全員に非同期回路サンプルをご提供いたします。さらに、希望者に同期化回路IPのサンプル(VHDL版/Verilog版)をプレゼント。

次回  
開催日

日時： 2017年6月28日(水) 13:30～17:00

場所： 株式会社パルテック セミナールーム(新横浜)

申込みはこちらから: <http://www.paltek.co.jp/seminar/index.htm>