

FPGAシミュレーション促進セミナー

タイミングチャート入力からテストベンチ自動生成 SpecInsight-TEXのご紹介

Agenda

1. FPGA設計におけるRTLシミュレーションの意義
 - ・FPGA設計の現状と問題点
 - ・FPGAのバグはここに潜んでいる！
 - ・シミュレーションと実機検証の2Step検証でデバッグを加速
2. 設計品質向上につながる仕様書の書き方のポイント
 - ・仕様書に記載する内容
 - ・設計品質を上げる機能仕様書のポイント
3. SpecInsight-TEXが実現するテストベンチ自動生成機能のご紹介
 - ・SpecInsight-TEXのタイミングチャート作成機能
 - ・SpecInsight-TEXのテストベンチ自動生成機能
4. SpecInsight-TEX デモ
 - ・シリアル/パラレル変換回路のタイミングチャート作成～SIM実行まで
5. SpecInsightファミリの活用によるFPGA検証品質向上の流れ

デバッグしなきゃ…



実機検証でFPGAのデバッグに苦労したご経験はありませんか？

FPGAの大規模、複雑化により、実機検証でのデバッグは益々困難になっています
タイミングチャートからテストベンチを生成するSpecInsight-TEXを利用することで、
シミュレーションを簡単に行うことができるようになります

本セミナーでは、シミュレーション活用のコツとSpecInsight-TEXの機能をご紹介します

◆このような方にお勧めします

- ・シミュレーションをもっと活用したい方
- ・これからテストベンチ記述を学ぼうとしている方
- ・FPGA設計の改善を行いたいと考えている方
- ・SpecInsight-TEXにご興味のある方

SpecInsight-TEXの製品紹介はこちら
<http://cmengineering.co.jp/products/specinsight-family.html>

無償セミナー！

※オンサイトセミナーも承ります。お気軽にお問合せください。

次回
開催日

日時： 2017年6月22日(木) 13:30～17:00

場所： 株式会社パルテック セミナールーム(新横浜)

申込みはこちらから：<http://www.paltek.co.jp/seminar/index.htm>