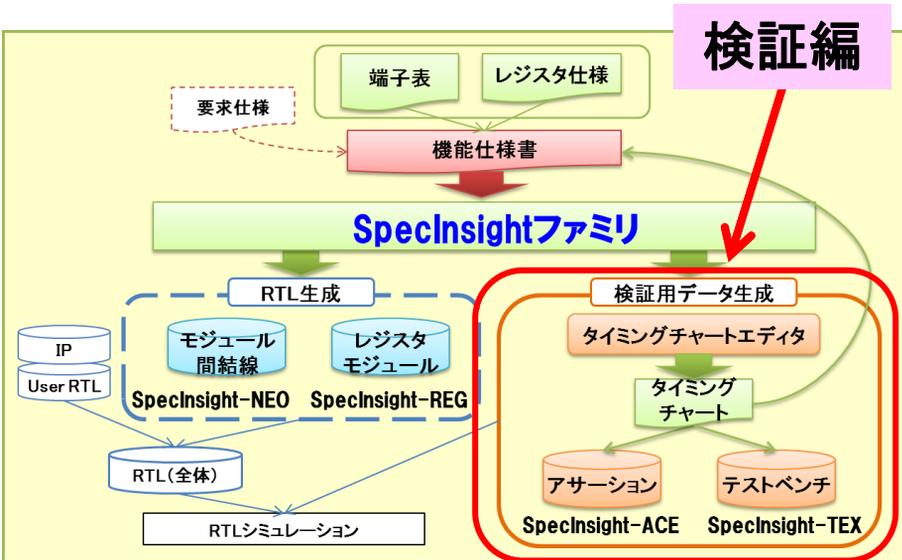




SpecInsight

仕様書情報から検証データを自動生成！



SpecInsight-ACE (アサーション自動生成ツール)

アサーション仕様を波形上に図で定義
初心者でも簡単にアサーションベース検証が可能に！

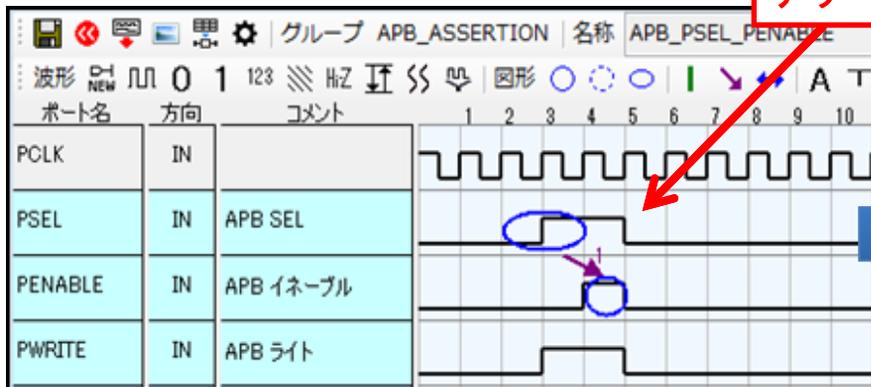
アサーションの
レビューにも有効！

簡単！3Step

- ① タイミングチャート作成
- ② アサーション仕様を図で定義
- ③ SystemVerilog Assertionのコードを生成



アサーションを図で定義



SVAコードを自動生成

```
property p_apb_psel_penable;
  @(posedge PCLK)
  disable iff (~(PRESET_N))
  ($rose(PSEL) |->
    ##1 (PENABLE == 1));
endproperty
```



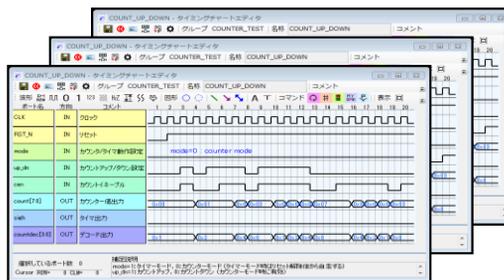
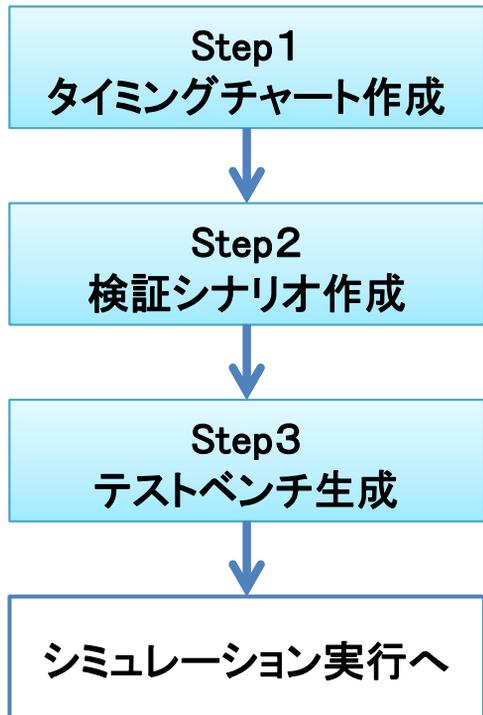
日本語の説明文も表示します

PSELが0から1に変化した時、1サイクル後、(PENABLE=1)とならなければならない

SpecInsight-TEX(テストベンチ生成ツール)

タイミングチャートからテストベンチを生成
簡単にシミュレーションを実行、早期デバッグを実現します

簡単！3Step



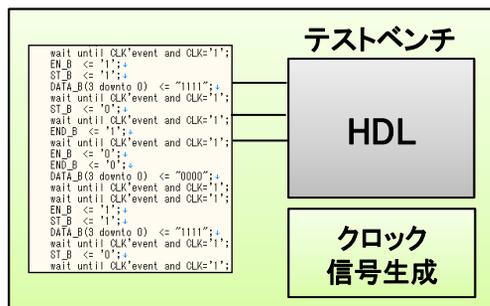
```

wait until CLK'event and CLK='1';
EN_B <= '1';
ST_B <= '1';
DATA_B(3 downto 0) <= "1111";
wait until CLK'event and CLK='1';
ST_B <= '0';
wait until CLK'event and CLK='1';
END_B <= '1';
wait until CLK'event and CLK='1';
EN_B <= '0';
DATA_B(3 downto 0) <= "0000";
wait until CLK'event and CLK='1';
ST_B <= '1';
EN_B <= '1';
DATA_B(3 downto 0) <= "1111";
wait until CLK'event and CLK='1';
ST_B <= '0';
wait until CLK'event and CLK='1';
  
```



複数のタイミングチャートを連結し
VerilogHDLまたはVHDLの
検証シナリオを生成します

シミュレーション実行スクリプトも生成



スクリプト

SpecInsight-ACE/TEX 3大メリット

メリット1:

タイミングチャート作成が簡単
しかも、タイミングチャートからテストベンチを生成！

メリット2:

タイミングチャートを使ってアサーション作成も簡単
アサーション適用でRTLデバッグの効率UP

メリット3:

仕様(書)とテストベンチ、アサーションの一貫性を維持



生産性
品質

※参考: SpecInsightと作図ソフトとの比較

	SpecInsight	作図ソフト
タイミングチャート作成	○	○
タイミングチャートからアサーション生成	○	×
タイミングチャートからテストベンチ生成	○	×

【SpecInsightファミリの製品紹介ページ】

<http://cmengineering.co.jp/products/specinsight-family.html>

各製品は、予告なく変更する場合があります
2017年11月 Rev2.1