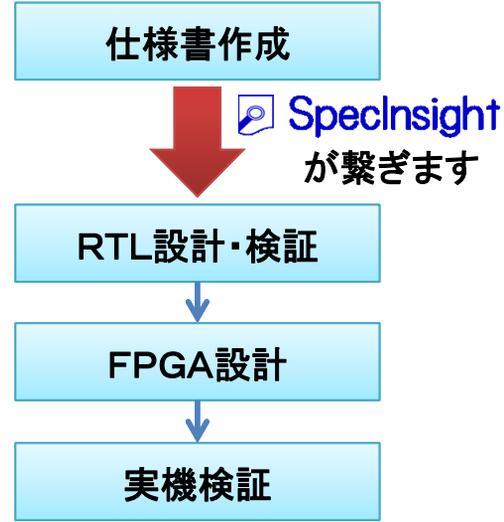
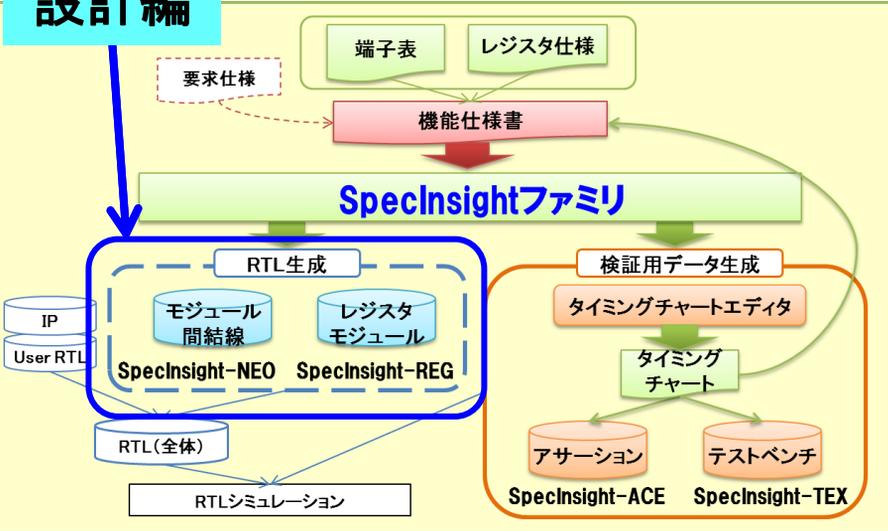




SpecInsight

仕様書情報から設計データを自動生成！

設計編



SpecInsight-NEO (モジュール間結線生成ツール)

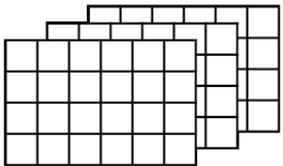
仕様書情報からモジュール間結線HDLを自動生成します
常に最新の接続情報、自動生成で人為ミスを撲滅！

簡単！3Step

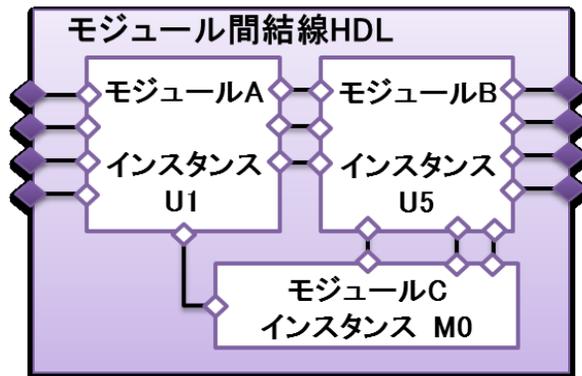
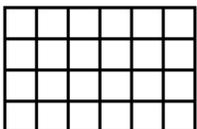
- ① Microsoft Excelフォーマットで端子表を作成
- ② SpecInsight-NEOでデザインルールチェックを実施
- ③ SpecInsight-NEOでHDL自動生成を実行(Verilog-HDL/VHDL)



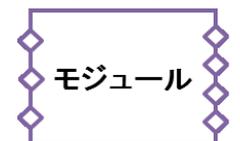
サブモジュールの端子表(Excel形式)



TOPの端子表(Excel形式)



サブモジュールのHDL



(入出力宣言のみの
ブラックボックス)

Xilinx, Altera
制約ファイル

SpecInsight-REG (レジスタモジュール生成ツール)

仕様書情報からレジスタモジュールHDLを自動生成します
面倒なレジスタの記述は自動生成で効率UP!

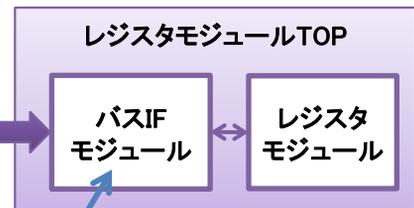
簡単! 3Step

- ① Microsoft Excelフォーマットでレジスタ仕様を定義
- ② SpecInsight-REGでデザインルールチェックを実施
- ③ SpecInsight-REGでHDL自動生成を実行(Verilog-HDL/VHDL)

レジスタ仕様の例(Excelで作成)

ヘッアドレス	グループ	サイズ	グループ名	ビット幅	ビット	バス	Reset	接続
ブロック	ブロック名	(Bits)	ファイル名	アサイン	属性	初期値	出力	内部IF
0x000	0x000	UART						
0x00		Data		[7:0]	RW	-	RWfifo	UARTコアのレジスタ。マップを示します。先介してコアの制御と通信を行います。エンベデッドソフトウェアは、Dataレジスタ。ライトすることで送信FIFOに書き込みが完了します。
0x04		Status						エンベデッドソフトウェアは、Statusレジスタ。送信FIFOがフルの場合TXFULL=1を返しますが、フル状態の間はDataレジスタに書き込みはできません。受信FIFOに有効なデータがあるかどうか受信FIFOに1以上の有効なデータがある
		TXFULL		[0]	RO		1	
		RXVALID		[1]	RO		1	

レジスタモジュール構成概要



バスインタフェースモジュールも生成します

端子表生成機能:オプション

HDLのポートリストからExcel端子表を自動生成します

HDL
Verilog-HDL
VHDL

Excelの端子表

ポート名	方向	ビット幅	コメント
CLK	I	1	クロック
DIN	I	[Width-1:0]	データ入力
DOUT	O	[Width-1:0]	データ出力

ポートリストのコメントも
Excel端子表に追加可能!

変数を使用している場合は
別シートに変数一覧表を作成

変数名	変数型	データ型	値	コメント
Width	value	integer	32	データ幅

資産の
再利用が可能に!



SpecInsight-NEO/REG 3大メリット

メリット1:

仕様書からHDLを自動生成
HDLから端子表生成も可能、資産の再利用も容易!

メリット2:

DRC機能も充実、端子表の間違いや矛盾をチェック
HDLでの無駄なデバッグを排除!

メリット3:

仕様(書)とHDLの一貫性を維持、手戻り削減!

※参考: SpecInsightと表計算ソフトとの比較

	SpecInsight	表計算ソフト
端子表作成	○	○
端子表から 結線HDL生成	○	×
HDLコードから 端子表生成	○	×
レジスタ仕様から HDL生成	○	×

各製品は、予告なく変更する場合があります
2017年11月 Rev2.1